

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

J1002 U.S. PRO  
09/934,453  
08/22/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application: 2000年 8月 28日

出願番号  
Application Number: 特願2000-256772

出願人  
Applicant(s): 三菱電機株式会社

2001年 3月 2日

特許庁長官  
Commissioner,  
Patent Office

及川耕造

出証番号 出証特2001-3014707

【書類名】 特許願

【整理番号】 526608JP01

【提出日】 平成12年 8月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/027

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 大寺 廣樹

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 津田 瞳

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 新谷 賢治

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100093562

【弁理士】

【氏名又は名称】 児玉 俊英

【手数料の表示】

【予納台帳番号】 053888

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ゲート電極形成後の洗浄方法および当該方法を用いて製造された半導体装置

【特許請求の範囲】

【請求項1】 半導体基板上にゲート絶縁膜を介し、かつ、マスクを用いてエッチングしてパターニングされたゲート電極を形成した後に、上記エッチングにて生成された反応生成物をフッ酸ガスにて除去することを特徴とするゲート電極形成後の洗浄方法。

【請求項2】 ゲート電極は、ポリシリコン膜またはポリサイド構造またはポリメタル構造またはその他のシリコンを含む膜構造にて形成されていることを特徴とする請求項1に記載のゲート電極形成後の洗浄方法。

【請求項3】 フッ酸ガスにて反応生成物を除去する時間を、フッ酸ガスにより上記反応生成物に削れが発生する時刻と、ゲート絶縁膜に削れが発生する時刻との反応時間差内にて行うことを特徴とする請求項1または請求項2に記載のゲート電極形成後の洗浄方法。

【請求項4】 反応時間差を繰り返して設定することにより、反応生成物をフッ酸ガスにて除去することを特徴とする請求項3に記載のゲート電極形成後の洗浄方法。

【請求項5】 ゲート電極形成後の半導体基板を容器内に載置し、反応時間差の繰り返しを、上記容器内を真空にする工程と、フッ酸ガスを充填する工程とを繰り返して行うことを特徴とする請求項4に記載のゲート電極形成後の洗浄方法。

【請求項6】 フッ酸ガスによる除去の際の温度設定を、40℃より低い温度にて設定することを特徴とする請求項1ないし請求項5のいずれかに記載のゲート電極形成後の洗浄方法。

【請求項7】 請求項1ないし請求項6のいずれかに記載のゲート電極形成後の洗浄方法を用いて洗浄され形成されたゲート電極を備えたことを特徴とする半導体装置。

【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

この発明は、半導体装置のゲート電極を形成する工程において、ゲート電極をマスクを用いてエッチングしてパターニングした後に、そのゲート電極の側壁部、およびマスクの上部および側壁部などに付着した反応生成物を除去する洗浄方法、および当該洗浄方法を用いて製造された半導体装置に関する。

## 【0002】

## 【従来の技術】

半導体デバイスの内、特に論理回路デバイスやシステムLSIに用いられているトランジスタは高性能化が必要なため、ゲート絶縁膜の厚さは3nm以下に設定されており、さらに近年では2nm以下まで薄くするための開発が行われている。ゲート電極形成のためのエッチングにおいては、この薄いゲート絶縁膜のエッチングを防ぐために、ゲート電極材料をエッチングしつつ、ゲート絶縁膜を削らない高選択なエッチング方法により対応している。

## 【0003】

そして、ゲート電極の側壁部やマスクの上部および側壁部にはエッチングの際に発生する反応生成物が付着する。そして、半導体デバイスの信頼性を確保するためには、ゲート電極形成後にこの付着した反応生成物を除去する必要がある。

## 【0004】

このような反応生成物の除去には従来、薬液を用いたウェット洗浄が行われていた。以下、従来行われているウェット洗浄について説明する。まず、ゲート電極材料としてポリシリコンが用いられる場合、半導体基板上にゲート絶縁膜を介して形成されたゲート電極のエッチングは、マスクを用いて、 $\text{Cl}_2/\text{O}_2$ または $\text{HBr}/\text{Cl}_2/\text{O}_2$ などの混合ガスプラズマを用いて行い、ゲート電極のパターニングを行う。この際、ゲート電極の側壁部やマスクの上部および側壁部に反応生成物が付着する。

## 【0005】

次にゲート電極形成の後、この反応生成物をウェット洗浄で除去する。ゲート電極エッチング工程において、 $\text{Cl}_2/\text{O}_2$ または $\text{HBr}/\text{Cl}_2/\text{O}_2$ などのプラ

ズマを用いた場合の反応生成物は、 $\text{SiO}_x\text{Cl}_y$ あるいは $\text{SiO}_x\text{Br}_y$ などであることが知られており、例えば希釈フッ酸（DHF）、あるいはアンモニア過水（APM）などの洗浄液に浸すことで除去することができる。

## 【0006】

## 【発明が解決しようとする課題】

従来のゲート電極形成後の洗浄方法は、希釈フッ酸（DHF）、あるいはアンモニア過水（APM）などの洗浄液に浸すことによって反応生成物を除去している。しかし、この際除去される反応生成物と、ゲート絶縁膜とは両方がシリコン酸化膜を主成分とする膜のため、これらのウェット洗浄における性質が同様となり、上記洗浄液に浸す際に、反応生成物の他にゲート絶縁膜までエッチングされ、例えば図5に示すようになる。

## 【0007】

そして、ゲート電極の下端部の下に位置するゲート絶縁膜が削れ、ゲート電極角部が露出してしまう。そのため、その露出部からのリーク電流が増加し、トランジスタの電気特性が劣化し、デバイスの信頼性が低下するという問題点があった。

## 【0008】

また、洗浄液としてアンモニア過水（APM）をもちい、ゲート電極がポリサイドやポリメタルにて形成されている場合には、洗浄の際に、ゲート電極の一部であるWSiなどが削れ、図6に示すようにその部分にサイドエッチが生じる。そして、そのサイドエッチにより、層間絶縁膜を埋め込む際にボイドが生じる可能性があり、デバイスの信頼性が低下するという問題点があった。

## 【0009】

この発明は上記のような問題点を解消するためなされたもので、デバイスの信頼性を低下することがないゲート電極形成後の洗浄方法および当該方法を用いて製造された半導体装置を提供することを目的とする。

## 【0010】

## 【課題を解決するための手段】

この発明に係る請求項1のゲート電極形成後の洗浄方法は、半導体基板上にゲ

ート絶縁膜を介し、かつ、マスクを用いてエッチングしてパターニングされたゲート電極を形成した後に、エッチングにて生成された反応生成物をフッ酸ガスにて除去するものである。

#### 【0011】

また、この発明に係る請求項2のゲート電極形成後の洗浄方法は、請求項1において、ゲート電極は、ポリシリコン膜またはポリサイド構造またはポリメタル構造またはその他のシリコンを含む膜構造にて形成されているものである。

#### 【0012】

また、この発明に係る請求項3のゲート電極形成後の洗浄方法は、請求項1または請求項2において、フッ酸ガスにて反応生成物を除去する時間を、フッ酸ガスにより反応生成物に削れが発生する時刻と、ゲート絶縁膜に削れが発生する時刻との反応時間差内にて行うものである。

#### 【0013】

また、この発明に係る請求項4のゲート電極形成後の洗浄方法は、請求項3において、反応時間差を繰り返して設定することにより、反応生成物をフッ酸ガスにて除去するものである。

#### 【0014】

また、この発明に係る請求項5のゲート電極形成後の洗浄方法は、請求項4において、ゲート電極形成後の半導体基板を容器内に載置し、反応時間差の繰り返しを、容器内を真空にする工程と、フッ酸ガスを充填する工程とを繰り返して行うものである。

#### 【0015】

また、この発明に係る請求項6のゲート電極形成後の洗浄方法は、請求項1ないし請求項5のいずれかにおいて、フッ酸ガスによる除去の際の温度設定を、40°Cより低い温度にて設定するものである。

#### 【0016】

また、この発明に係る請求項7の半導体装置は、請求項1ないし請求項6のいずれかにおいて、ゲート電極形成後の洗浄方法を用いて洗浄され形成されたゲート電極を備えたものである。

## 【0017】

## 【発明の実施の形態】

## 実施の形態1.

以下、この発明の実施の形態について説明する。図1はこの発明の実施の形態1の半導体洗浄装置の構成を示す図、図2は図1に示した半導体洗浄装置にて洗浄する半導体装置の構成を示す断面図である。図において、1は被洗浄ウエハ2を洗浄処理するための容器、3は容器1内にて被洗浄ウエハ2を載置するためのウエハステージ、4は容器1内を排気して真空とするための真空排気管、5は容器1内にフッ酸ガスを供給するためのガス供給管である。

## 【0018】

6は半導体基板、7は半導体基板6上に形成されたゲート絶縁膜で、例えばシリコン酸化膜にて成る。8はゲート絶縁膜7を介して半導体基板6上に形成されたゲート電極で、例えば、ポリシリコン膜またはポリサイド構造またはポリメタル構造またはその他のシリコンを含む膜構造にて形成されている。9はこのゲート電極8をパターニングするために用いられたマスクで、ゲート電極8の形成後の半導体装置において残存されるハードマスク、またはゲート電極8の形成後に除去されるマスク等が考えられる。尚、マスク9の上部および側壁部、ゲート電極8の側壁部などに付着していると考えられる反応生成物の図面への記載は省略している。

## 【0019】

次に、上記のように構成された実施の形態1の半導体洗浄装置による半導体装置の洗浄方法について説明する。まず、図2に示すようにマスク9を用いてエッチングによりゲート電極8を形成する。このエッチングは、例えば $\text{Cl}_2/\text{O}_2$ または $\text{HBr}/\text{Cl}_2/\text{O}_2$ などの混合ガスプラズマを用いて行われる。そしてこの際、ゲート電極の側壁部やマスクの上部および側壁部に付着する反応生成物は、 $\text{SiO}_x\text{Cl}_y$ あるいは $\text{SiO}_x\text{Br}_y$ など、シリコン酸化物が主成分となるものである。次に、図2に示すように形成された被洗浄ウエハ2を図1の容器1内のウエハステージ3に載置する。次に、真空排気管4を通して容器1を真空に排気する。

## 【0020】

そして十分排気した後、フッ酸ガスをガス供給管5を通して容器1に供給し、フッ酸ガスを被洗浄ウエハ2に接触させ、ゲート電極形成時に付着した反応生成物とフッ酸ガスとが反応し、反応生成物が表面から除去される。

## 【0021】

この時、被洗浄ウエハ2にフッ酸ガスを接触させる時間について図3に基づいて説明する。図3に被洗浄ウエハ2にフッ酸ガスが接触している時間と反応生成物およびゲート絶縁膜の削れ量との関係を示す。この図からわかるように、フッ酸ガスによる反応生成物に削れが発生する時刻と、ゲート絶縁膜に削れが発生する時刻とには反応時間差Tが生じる。

## 【0022】

この反応時間差Tが生じる原因として以下のようなことが考えられる。ゲート酸化膜と反応生成物とは、主としてシリコン酸化物にて構成されている。このシリコン酸化物とフッ酸ガスとが反応すると水( $H_2O$ )が発生する。この反応により発生する水の量がある程度多くなると削れ(除去)の速度が急激に増加するという現象に達する。この場合反応生成物のように、副産物的に生成されたものの方が、ゲート絶縁膜よりその反応が速く進み、上記に示した水がある程度の量にまで達する時間が速くなる。よって、反応生成物の方が、ゲート絶縁膜よりその削れの現象が速く始まることが推測される。

## 【0023】

よって予めこの反応時間差Tを実験的に求めておき、この反応時間差T内を利用して反応生成物の除去を行う。すると、ゲート電極形成時の反応生成物が選択的に除去され、ゲート絶縁膜はほとんど削られず、ダメージを受けず反応生成物の除去を行うこととなる。

## 【0024】

また、図3に示したフッ酸ガスが被洗浄ウエハに接触している時間と反応生成物およびゲート絶縁膜の削れ量との関係には温度依存性があり、40°C以上の温度で行うと、反応時間差Tが小さく実用的ではない。よって、40°Cより低い温度で洗浄を行うことで、反応時間差Tが望ましい値となり十分な選択性をもち実

質的に洗浄プロセスを実現することができる。

## 【0025】

上記実施の形態1によれば、ゲート電極形成後の洗浄方法を、反応時間差T内にて、被洗浄ウエハ2にフッ酸ガスを接触させ、洗浄を行うことにより、反応生成物とフッ酸ガスとを反応させ、反応生成物を取り除く。よって、ゲート絶縁膜にダメージを生じることなく、かつ、反応生成物を取り除くことができ、デバイスの信頼性を損なうことなく、ゲート電極形成時の反応生成物の除去が可能となる。

## 【0026】

また、ゲート電極の材料にシリコン、タンゲステン、タンゲステンシリサイドなどを用いたとしても、フッ酸ガスはこれらとの反応性が低く、ゲート電極にサイドエッチが生じることはない。

## 【0027】

実施の形態2.

上記実施の形態1では、反応時間差T内にて反応生成物の除去を行う例を示したが、反応時間差T内だけでは反応生成物を除去できない場合には、以下に示す方法が考えられる。上記実施の形態1にて述べたプロセスを繰り返すことで対応することができる。すなわち、図4に示すようにフッ酸ガスを被洗浄ウエハに接触させ、ゲート絶縁膜が削れはじめる前に一度真空排気を行い、被洗浄ウエハの表面を清浄にする。

## 【0028】

次に、再びフッ酸ガスを容器1に導入し、洗浄を行う。このようにして、真空排気とフッ酸ガスによる洗浄とを繰り返すことにより、選択性を保ったままで洗浄を行うことが可能となる。これは、真空状態にすることにより、反応により生じた水が一旦除去され、再び最初の段階からの反応が開始されることを利用しているものである。

## 【0029】

上記実施の形態2によれば、反応時間差Tを繰り返し実施することにより、ゲート絶縁膜の削れがなく、反応生成物の除去が確実に行うことができる。

## 【0030】

尚、上記各実施の形態においては、反応時間差Tのみを利用してゲート絶縁膜が確実に削られないようにした場合について述べたが、ゲート絶縁膜が幾らか削れても、ゲート電極下端角部が露出せず、リーク電流が低減できる場合、またはゲート電極のサイドエッチが生じないなどデバイスの信頼性が損なわれない程度で、反応時間差T以上の時間を利用することも不可能ではなく、その場合、反応時間差Tのみを利用する場合より、効率的に洗浄を行うことができる。

## 【0031】

## 【発明の効果】

以上のように、この発明の請求項1によれば、半導体基板上にゲート絶縁膜を介し、かつ、マスクを用いてエッチングしてパターニングされたゲート電極を形成した後に、エッチングにて生成された反応生成物をフッ酸ガスにて除去するので、ゲート絶縁膜を削ることなく反応生成物を除去することができるゲート電極形成後の洗浄方法を提供することが可能となる。

## 【0032】

また、この発明の請求項2によれば、請求項1において、ゲート電極は、シリコン膜またはポリサイド構造またはポリメタル構造またはその他のシリコンを含む膜構造にて形成されているので、ゲート絶縁膜を削ることなく反応生成物を確実に除去することができるゲート電極形成後の洗浄方法を提供することが可能となる。

## 【0033】

また、この発明の請求項3によれば、請求項1または請求項2において、フッ酸ガスにて反応生成物を除去する時間を、フッ酸ガスにより反応生成物の削れが発生する時刻と、ゲート絶縁膜に削れが発生する時刻との反応時間差内にて行うので、反応生成物のみを除去することができるゲート電極形成後の洗浄方法を提供することが可能となる。

## 【0034】

また、この発明の請求項4によれば、請求項3において、反応時間差を繰り返して設定することにより、反応生成物をフッ酸ガスにて除去するので、反応生成

物のみを確実に除去することができるゲート電極形成後の洗浄方法を提供することが可能となる。

【0035】

また、この発明の請求項5によれば、請求項4において、ゲート電極形成後の半導体基板を容器内に載置し、反応時間差の繰り返しを、容器内を真空にする工程と、フッ酸ガスを充填する工程とを繰り返して行うので、反応生成物のみを確実に除去することが容易となるゲート電極形成後の洗浄方法を提供することが可能となる。

【0036】

また、この発明の請求項6によれば、請求項1ないし請求項5のいずれかにおいて、フッ酸ガスによる除去の際の温度設定を、40°Cより低い温度にて設定するので、反応生成物のみを除去することが容易に実現できるゲート電極形成後の洗浄方法を提供することが可能となる。

【0037】

また、この発明の請求項7によれば、請求項1ないし請求項6のゲート電極形成後の洗浄方法を用いて洗浄され形成されたゲート電極を備えたので、信頼性に優れた半導体装置を提供することが可能となる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体洗浄装置の構成を示す図である。

【図2】 この発明の実施の形態1による半導体装置の構成を示す断面図である。

【図3】 この発明の実施の形態1による反応生成物とゲート絶縁膜との反応時間差を説明するための示す図である。

【図4】 この発明の実施の形態2によるゲート電極形成後の洗浄方法を説明するための図である。

【図5】 従来の問題点を説明するための半導体装置の構成を示す断面図である。

【図6】 従来の他の問題点を説明するための半導体装置の構成を示す断面

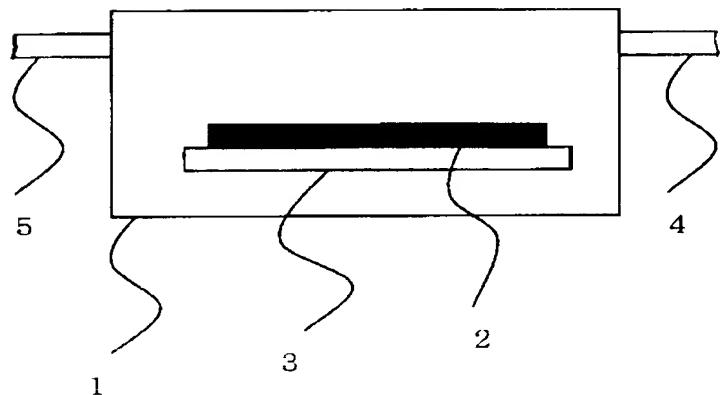
図である。

【符号の説明】

1 容器、2 被洗浄ウエハ、4 真空排気管、5 ガス供給管、  
6 半導体基板、7 ゲート絶縁膜、8 ゲート電極、9 マスク。

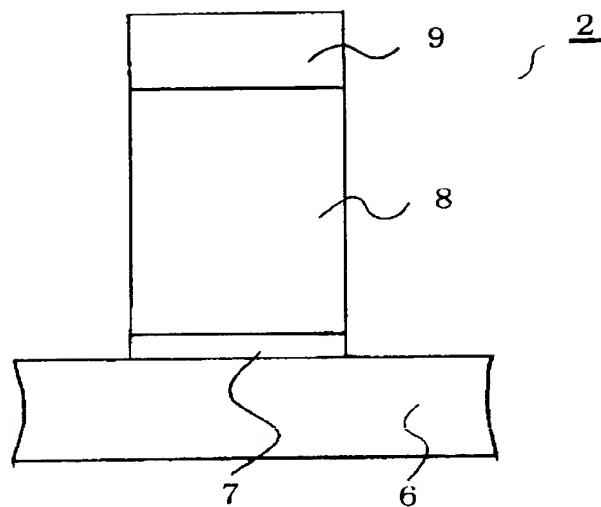
【書類名】 図面

【図1】



- 1 : 容器
- 2 : 被洗浄ウエハ
- 3 : ウエハステージ
- 4 : 真空排気管
- 5 : ガス供給管

【図2】



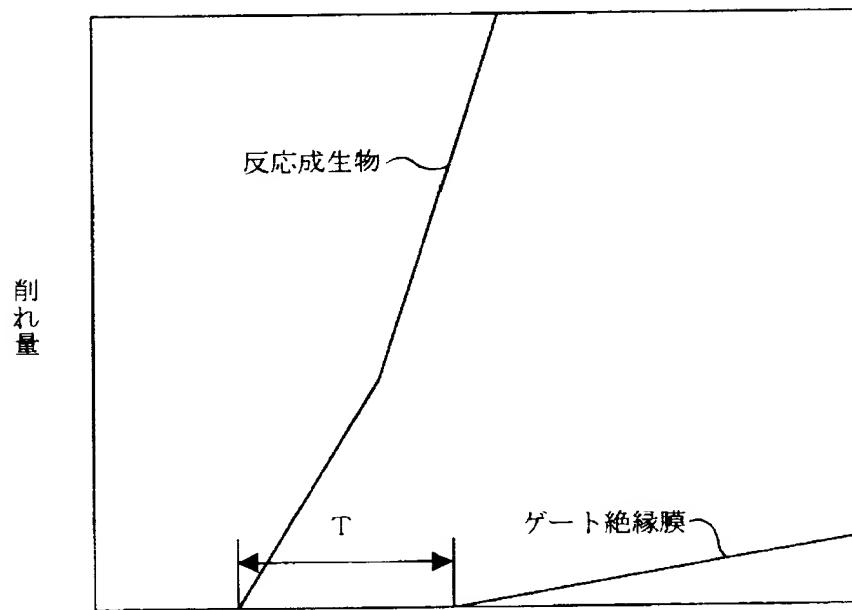
6 : 半導体基板

7 : ゲート絶縁膜

8 : ゲート電極

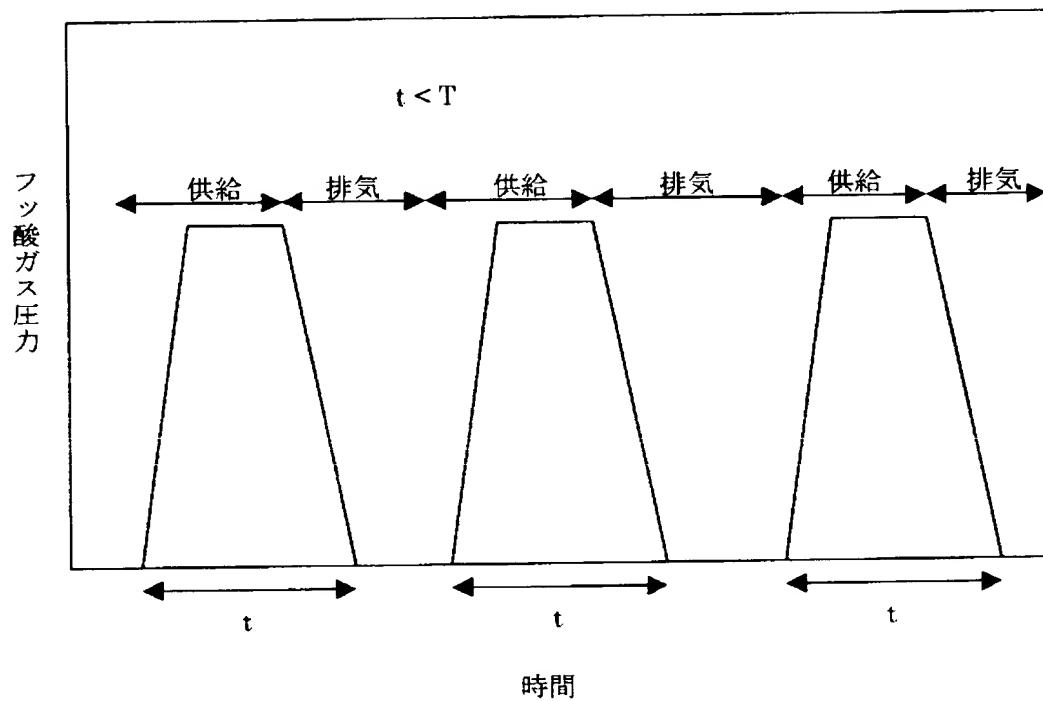
9 : マスク

【図3】

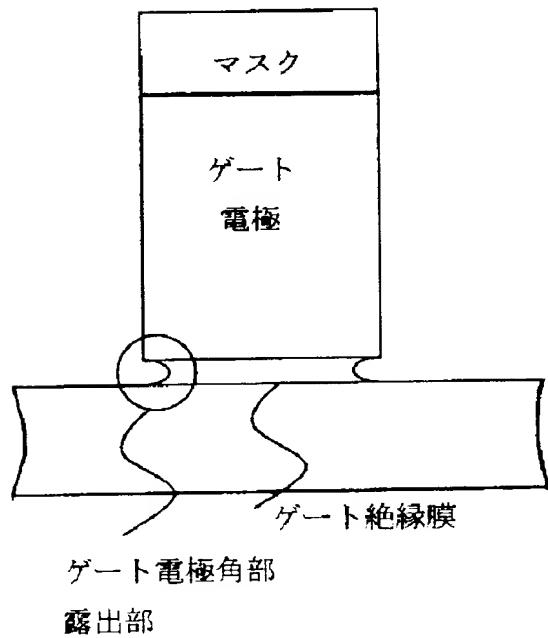


フッ酸ガスがウエハに接触している時間

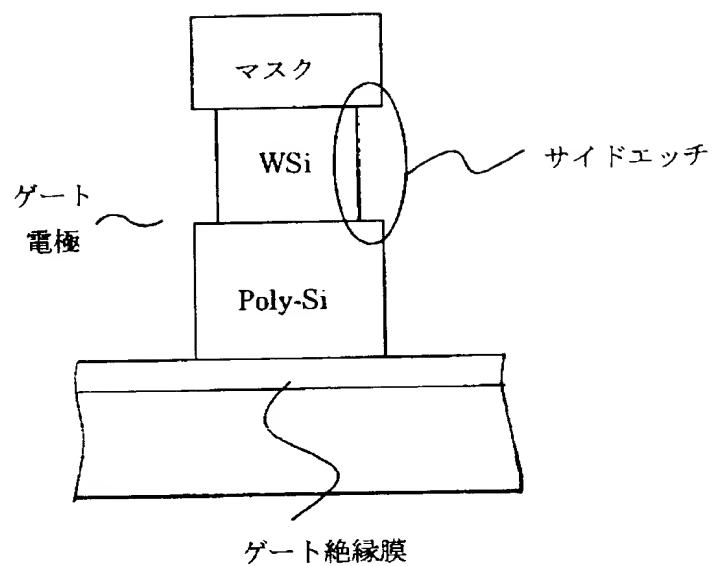
【図4】



【図5】



【図6】



【書類名】 要約書

【要約】

【課題】 デバイスの信頼性が低下することのないゲート電極形成後の洗浄方法を得る。

【解決手段】 半導体基板上にゲート絶縁膜を介し、かつ、マスクを用いてエッチングしてパターニングされたゲート電極を形成した後に、エッティングにて生成された反応生成物をフッ酸ガスにて除去するものである。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号  
氏 名 三菱電機株式会社